

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-244892
 (43)Date of publication of application : 19.09.1997

(51)Int.CI.

G06F 9/38

(21)Application number : 08-051322
 (22)Date of filing : 08.03.1996

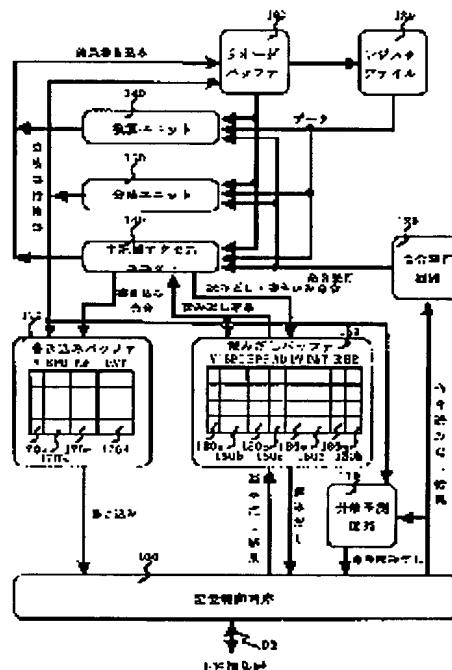
(71)Applicant : HITACHI LTD
 (72)Inventor : AKASHI HIDEYA
 FUJII KEIMEI

(54) CENTRAL PROCESSOR

(57)Abstract:

PROBLEM TO BE SOLVED: To shorten a read time by enabling a central processor to use the result of a read instruction having mispredicted branching in speculative execution for a following read instruction.

SOLUTION: A read buffer 180 is provided with entry effectiveness flags 180a by read buffer entries, a branch prediction field 180b for specifying respective direction of branch prediction when it is judged that execution is performed as a result of branching prediction of 1 time, a branch misprediction flag 180c indicating that the said entry is not executed owing to branching misprediction, a read address field 108d, a read data field 108f, and a read completion flag 180e. If branching is mispredicted, a read instruction in speculative execution is discharged, but the entry effectiveness flag of the read buffer entry is held effective and a branching misprediction flag is set to an error to hold a read request and main storage read data in the read buffer 180 and use them for following read instructions.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-244892

(43)公開日 平成9年(1997)9月19日

(51)Int.Cl.⁶

G 06 F 9/38

識別記号

府内整理番号

330

F I

G 06 F 9/38

技術表示箇所

330K

審査請求 未請求 請求項の数12 O.L (全16頁)

(21)出願番号 特願平8-51322

(22)出願日 平成8年(1996)3月8日

(71)出願人 000005108

株式会社日立製作所
東京都千代田区神田駿河台四丁目6番地

(72)発明者 明石 英也

東京都国分寺市東恋ヶ窪1丁目280番地
株式会社日立製作所中央研究所内

(72)発明者 藤井 啓明

東京都国分寺市東恋ヶ窪1丁目280番地
株式会社日立製作所中央研究所内

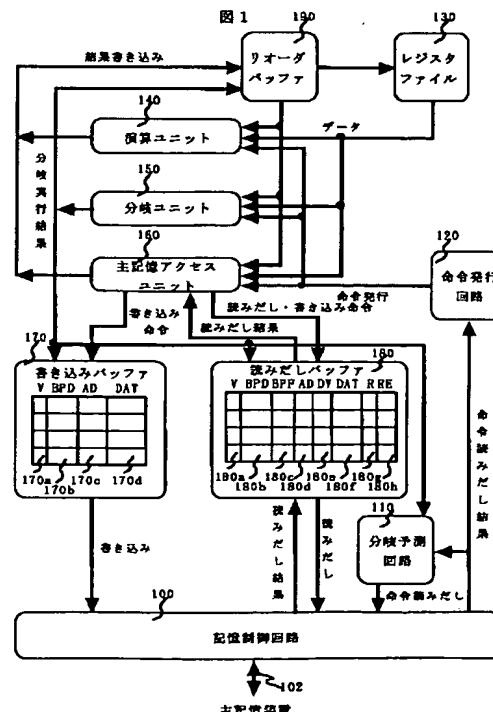
(74)代理人 弁理士 小川 勝男

(54)【発明の名称】 中央処理装置

(57)【要約】

【課題】中央処理装置で、投機実行で分岐予測を誤った読みだし命令の結果を、後続の読みだし命令で利用可能とし、読みだし時間を短縮する。

【解決手段】読みだしバッファ180には、各読みだしバッファエントリ毎にエントリ有効フラグと、1以上の分岐予測の結果実行されると判断された場合に各分岐予測の方向を特定するための分岐予測フィールドと、前記エントリが分岐予測の誤りにより実行されないことを示す分岐予測誤りフラグと、読みだしあドレスフィールドと、読みだしだデータフィールドと、読みだしだ完了フラグを設け、分岐予測を誤った場合、投機実行中の読みだし命令は破棄するが、読みだしバッファエントリのエントリ有効フラグを有効のまま分岐予測誤りフラグを誤りと設定することで、読みだし要求および主記憶読みだしだデータを読みだしバッファ内に保持し、後続の読みだし命令で利用する。



【特許請求の範囲】

【請求項1】1以上の分岐ユニットと、1以上の主記憶読みだし要求を格納する読みだしバッファと1以上の主記憶書き込み要求を格納する書き込みバッファを具備する1以上の主記憶アクセスユニットと、分岐予測回路と、記憶制御回路とを具備する中央処理装置において、前記読みだしバッファは、各読みだしバッファエントリ毎にエントリ有効フラグと、1以上の分岐予測の結果実行されると判断された場合に各分岐予測の方向を特定するための分岐予測フィールドと、前記エントリが分岐予測の誤りにより実行されないことを示す分岐予測誤りビットと、読みだしアドレスフィールドと、読みだしデータフィールドと、主記憶読みだし完了フラグを具備し、分岐予測を誤った場合でも読みだし要求有効フラグが有効を示す前記読みだしバッファエントリ内の読みだしデータフィールドが利用可能であることを特徴とする中央処理装置。

【請求項2】前記分岐予測回路は、分岐予測の方向を特定するための分岐予測データを生成し、全ての命令に付加する請求項1に記載の中央処理装置。

【請求項3】前記主記憶アクセスユニットは、主記憶読みだし命令実行時に前記読みだしバッファに前記読みだしバッファエントリを確保し、前記読みだしバッファエントリのエントリ有効フラグを有効とし、前記主記憶読みだし命令の分岐予測データを、前記読みだしバッファエントリの分岐予測フィールドに記憶し、前記主記憶読みだし命令の対象アドレスを、前記読みだしバッファエントリの読みだしアドレスフィールドに記憶し、前記読みだしバッファエントリの分岐予測誤りフラグを誤り無しと設定し、前記読みだしバッファエントリの読みだし完了フラグを未完と設定し、読みだしアクセスを記憶制御回路に対して発行する請求項1または請求項2に記載の中央処理装置。

【請求項4】前記主記憶アクセスユニットは、前記記憶制御回路から記憶装置の読みだし結果が戻ると、読みだし結果を対応する読みだしバッファエントリの読みだしデータフィールドに格納し、前記読みだしバッファエントリの読みだし完了フラグを完了と設定する請求項1、2または3に記載の中央処理装置。

【請求項5】前記分岐ユニットは、分岐の実行時に前記主記憶アクセスユニット内の全ての前記読みだしバッファエントリの前記分岐予測フィールドと実際に分岐を実行してきた方向を比較し、分岐予測が誤っている全ての前記読みだしバッファエントリの分岐予測誤りフラグを誤りと設定する請求項1、2、3または4に記載の中央処理装置。

【請求項6】前記主記憶アクセスユニットは、前記主記憶書き込み命令の実行時に、分岐予測誤りフラグが誤りを示す全ての読みだしバッファエントリの読みだしアドレスフィールドと、書き込みアドレスの一部乃至全部の

ビットを比較し、一致した全ての読みだしバッファエントリのエントリ有効ビットを無効と設定する請求項1、2、3、4または5に記載の中央処理装置。

【請求項7】前記主記憶アクセスユニットは、前記主記憶読みだし命令の実行時にエントリ有効フラグが有効かつ分岐予測誤りフラグが誤りを示す全ての読みだしバッファエントリの読みだしアドレスフィールドと、主記憶読みだし命令の読みだしアドレスを比較し、一致した読みだしバッファエントリに対応する読みだしデータを、主記憶読みだし命令の読みだし結果として使用する請求項1、2、3、4、5または6に記載の中央処理装置。

【請求項8】前記書き込みバッファは、書き込み命令のアドレスおよびデータを一旦保持する1以上の書き込みバッファエントリからなり、前記主記憶アクセスユニットは、主記憶読みだし命令実行時に読みだしアドレスと書き込みバッファ内の全ての有効な書き込みバッファエントリの書き込みアドレスフィールドとを比較し、一致するエントリがある場合には前記書き込みバッファエントリの書き込みデータフィールドを主記憶読みだし結果として使用する点が異なる請求項1、2、3、4、5、6または7に記載の中央処理装置。

【請求項9】前記分岐ユニットは、実行中の命令が当該命令以前の分岐命令で分岐または非分岐を選択してきた方を記録する分岐実行データを保持し、読みだしバッファの各読みだしバッファエントリに分岐予測誤りフラグを設ける代わりに、分岐実行データと各読みだしバッファエントリの分岐予測フィールドを比較して予測と実行命令が一致した場合に分岐予測誤り無しと判断する点が異なる請求項1、2、3、4、5、6、7または8に記載の中央処理装置。

【請求項10】前記主記憶アクセスユニットは、主記憶読みだし命令の実行時に読みだしバッファの全ての読みだしバッファエントリのエントリ有効ビットが有効である場合、分岐予測誤りデータが誤りを示す読みだし要求を廃棄し、前記主記憶読みだし命令の読みだし要求を登録する点が異なる請求項1、2、3、4、5、6、7、8または9に記載の中央処理装置。

【請求項11】前記主記憶アクセスユニットに、読みだしバッファと書き込みバッファを別個に設ける代わりに読みだし要求と書き込み要求の双方を登録することができるバッファを設ける点が異なる請求項1、2、3、4、5、6、7、8、9または10に記載の中央処理装置。

【請求項12】前記読みだしバッファに読みだしデータフィールドを設ける代わりに、リオーダバッファ番号フィールドおよびリオーダバッファ存在フラグを設け、読みだしたデータをリオーダバッファに直接書き込む請求項1、2、3、4、5、6、7、8、9、10または11に記載の中央処理装置。

50 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は計算機の中央処理装置に関する。

【0002】

【従来の技術】近年、中央処理装置の高速化のためにパイプライン方式が不可欠な技術となっている。パイプライン方式では、中央処理装置で処理する命令を、例えば、命令読みだし、命令解読、実行、結果のレジスタへの書き込みというようにステージに分割し、命令1の結果のレジスタへの書き込み、命令2の実行、命令3の命令解読、命令4の命令読みだしを並列に処理することで命令当たりの処理速度を高速化する。

【0003】パイプライン方式では、このようにアドレスの連続する命令列の実行は並列に処理することができる。一方、命令列中に条件分岐命令が存在する場合および分岐先アドレスの計算が必要な分岐命令が存在する場合、分岐命令実行の結果次命令のアドレスが決定した後、次命令の命令読みだしが行われる。このため、命令列中にこれらの分岐命令が存在するとパイプラインの命令解読、実行、結果の書き込みのステージに空きができるため、処理速度が低下する。

【0004】分岐命令の実行待ちによる処理速度の低下を防ぐために、分岐予測が多く用いられる。分岐予測は、分岐命令を読みだした時に次の命令のアドレスを予測し、分岐命令の結果を待たずに予測したアドレスから続けて命令をパイプラインに投入する。これを投機実行と呼ぶ。処理が進んで分岐命令実行の結果、分岐命令の次命令のアドレスが決定した時点で分岐予測が正しかった場合、そのまま命令の実行を続ける。分岐予測が誤っていた場合投機実行中の命令を全て破棄し、正しいアドレスから分岐命令以降の読みだしを再開する。このため、分岐予測が正しい場合には、分岐命令の実行待ちにより処理速度が低下することを回避できる。

【0005】従来の中央処理装置では、投機実行中の命令列に読みだし命令または書き込み命令がある場合、これらの命令の投機実行は行われていなかった。これに該当する中央処理装置は、文献“PowerPC601 ユーザーズマニュアル”に示されるように、PowerPC601が挙げられる。

【0006】

【発明が解決しようとする課題】従来技術で、条件分岐命令以後に読みだし命令または書き込み命令が実行される場合、条件分岐命令以後の読みだし命令または書き込み命令は投機実行されず、処理速度が低下する。

【0007】本発明の目的は、投機実行した読みだし命令の結果を破棄可能として読みだし命令を投機実行可能とし、さらに分岐予測を誤って実行した読みだし命令の結果を後続の同一アドレスへの読みだし命令で利用可能とし、読みだし時間を短縮することで中央処理装置の処理速度を向上することにある。

【0008】

【課題を解決するための手段】1以上の分岐ユニットと、1以上の主記憶読みだし要求を格納する読みだしバッファと1以上の主記憶書き込み要求を格納する書き込みバッファを具備する1以上の主記憶アクセスユニットと、分岐予測回路と、記憶制御回路を具備する中央処理装置で、前記読みだしバッファには、各読みだしバッファエントリ毎にエントリ有効フラグと、1以上の分岐予測の結果実行されると判断された場合に各分岐予測の方10向を特定するための分岐予測フィールドと、前記エントリが分岐予測の誤りにより実行されないことを示す分岐予測誤りフラグと、読みだしアドレスフィールドと、読みだしデータフィールドと、読みだし完了フラグを設ける。

【0009】これにより、分岐実行結果が得られた時に全読みだしバッファの分岐予測フィールドと分岐実行結果を比較して、分岐予測を誤った読みだしバッファエントリを特定することができ、読みだし命令の投機実行が可能となる。

20 【0010】さらに、分岐予測を誤った場合にも、投機実行中の読みだし命令は破棄するが、読みだしバッファエントリのエントリ有効フラグを有効のまま分岐予測誤りフラグを誤りと設定することで、読みだし要求および主記憶読みだしデータを読みだしバッファ内に保持する。

【0011】以後、正しいアドレスから実行が再開された後、読みだしバッファエントリと同一アドレスへの読みだし命令が実行された場合、読みだしバッファエントリに格納されている主記憶読みだしデータを使用して読みだし時間を短縮し、中央処理装置の処理速度を向上する。

【0012】

【発明の実施の形態】

〈実施例1〉以下に本発明の第1の実施例について説明する。図1は本発明の中央処理装置を示す。

【0013】図1で中央処理装置は、記憶制御回路100、分岐予測回路110、命令発行回路120、レジスタファイル130、演算ユニット140、分岐ユニット150、主記憶アクセスユニット160、書き込みバッファ170、読みだしバッファ180、リオーダバッファ190からなる。

【0014】記憶制御回路100は、分岐予測回路110より指示される命令の読みだし、および書き込みバッファ170内のデータの書き込み、読みだしバッファ180で指示されるデータの読みだしをバス102を通して中央処理装置外部に発行し、また、読みだし結果をバス102を通して中央処理装置内部に受け取る。記憶制御回路100にキャッシュメモリを持たせる方式も考えられるが、本実施例ではキャッシュメモリは設けていない。しかし、本発明はキャッシュメモリの有無に關係な50

く実施できる。

【0015】分岐予測回路110は、読みだした命令が分岐命令である場合に次命令のアドレスを予測し、記憶制御回路100に命令読みだしを要求する。読みだした命令が分岐命令以外の場合、命令アドレスをインクリメントし、記憶制御回路100に命令読みだしを要求する。分岐予測は、種々の方法が提案されているが、本発明は分岐予測の方法に関らず実施できる。

【0016】命令発行回路120は、読みだした命令を解読し、命令の種類に応じて演算ユニット140、分岐ユニット150、主記憶アクセスユニット160のいずれかに命令を発行する。この時、分岐予測により命令を投機実行している場合、分岐予測の方向を示すデータを付加する。本発明では一例として、分岐予測方向を2ビットで表す。分岐予測データが“00”的場合、投機実行中ではなく、当該命令は必ず実行されることを示す。分岐予測データが“10”的場合、投機実行中であり、分岐を行わないと予測したことを示す。分岐予測データが“11”的場合、投機実行中であり、分岐を行うと予測したことを示す。

【0017】演算ユニット140は、命令発行回路120から受けた演算命令を実行し、演算結果をリオーダバッファ190に格納する。

【0018】主記憶アクセスユニット160は、命令発行回路120から受けた読みだし命令または書き込み命令をそれぞれ読みだしバッファ180、書き込みバッファ170に登録し、読みだし結果をリオーダバッファ190に格納する。

【0019】リオーダバッファ190は、演算ユニット140から受けた演算結果または主記憶アクセスユニット160から受けた読みだし結果を一旦格納し、レジスタファイル130に送る。投機実行した命令については、分岐ユニット150から分岐実行結果を得て、分岐予測が正しかった場合は投機実行した命令の結果をレジスタファイル130に送るが、分岐予測が誤っていた場合は投機実行した命令の結果を破棄する。

【0020】分岐ユニット150は、命令発行回路120から受けた分岐命令を実行する。分岐命令が条件分岐命令であった場合、分岐実行の結果をリオーダバッファ190、書き込みバッファ170、読みだしバッファ180に送る。

【0021】書き込みバッファ170は、書き込み命令のアドレス、データおよび分岐予測結果を保持し、記憶制御回路100に書き込み命令を発行する。投機実行した命令の場合、分岐ユニット150から分岐実行結果を得るまで待ち、分岐予測が正しかった場合に記憶制御回路100に書き込み命令を発行する。一方、分岐予測が誤っていた場合には書き込み命令を破棄する。

【0022】書き込みバッファ170は、エントリ毎に書き込み要求の有効を示すエントリ有効フラグ170

a、書き込み命令の分岐予測データを格納する分岐予測フィールド170b、書き込みアドレスフィールド170c、書き込みデータフィールド170dのフィールドを持つ。

【0023】書き込みバッファ170に関する処理は、以下に示す種類が存在する。

【0024】(書き込み発行処理)書き込みバッファ170は、主記憶アクセスユニット160から、書き込みアドレス、分岐予測データおよび書き込みデータを受信し、以下に示す書き込み命令の発行を行う。

【0025】(1)エントリ有効フラグ170aが“0”的書き込みバッファエントリが存在する場合、書き込みアドレスおよび書き込みデータを書き込みバッファエントリの書き込みアドレスフィールド170cおよび書き込みデータフィールド170dに書き込み、エントリ有効フラグ170aを“1”とする。

【0026】(2)エントリ有効フラグ170aが“0”的書き込みバッファエントリが存在しない場合、(1)が実行できるまで新たな書き込み発行処理を受け付けず待つ。

【0027】(主記憶アクセス発行処理)エントリ有効フラグ170aが“1”かつ分岐予測フィールド170bが“00”的書き込みバッファエントリについて、主記憶制御回路に書き込みアドレスおよび書き込みデータを与え、主記憶書き込みを発行する。主記憶書き込みは、書き込みバッファ170への登録順に従って行う。この後、エントリ有効フラグ170aを“0”とする。

【0028】(分岐結果処理)分岐ユニット150から分岐結果データを受けて、分岐結果を受信する。分岐結果の受信時には、以下の処理を行う。

【0029】(1)エントリ有効フラグが“1”かつ、分岐予測フィールド170bが“00”でなく、分岐予測フィールド170bと分岐結果データが一致する全ての書き込みバッファエントリで、分岐予測フィールド170bを“00”とする。

【0030】(2)エントリ有効フラグが“1”かつ、分岐予測フィールド170bが“00”でなく、分岐予測フィールド170bと分岐結果データが一致しない全ての書き込みバッファエントリで、エントリ有効フラグ170aを“0”とする。

【0031】読みだしバッファ180は、エントリ毎に読みだし要求の有効を示すエントリ有効フラグ180a、読みだし命令の分岐予測データを格納する分岐予測フィールド180b、読みだし命令に対応する分岐予測の誤りを示す分岐予測誤りフラグ180c、読みだしアドレスフィールド180d、主記憶の読みだしが完了したことを示す読みだし完了フラグ180e、主記憶読みだし結果を一旦保持する読みだしデータフィールド180f、主記憶読みだし結果を書き込むレジスタ番号を示すレジスタフィールド180g、後続の読みだし命令が

7
みだし許可フラグ180hを“1”，分岐予測誤りフラグ180cおよび読みだし完了フラグ180eを“0”に設定する。

【0032】読みだしバッファ180に関する処理は、以下に示す種類が存在する。

【0033】（読みだし発行処理）読みだしバッファ180は、主記憶アクセスユニットから、読みだしアドレス、分岐予測データおよび書き込みレジスタ番号を受信し、以下に示す読みだし命令の発行処理を行う。

【0034】（1）エントリ有効フラグ180aおよび読みだし許可フラグ180hが“1”、かつ、読みだしアドレスと読みだしバッファエントリの読みだしアドレスフィールド180dが一致、かつ、分岐予測誤りフラグ180cと読みだし完了フラグ180eの少なくとも片方が“1”的場合、（1a）～（1c）のいずれかの処理を行う。

【0035】（1a）分岐予測誤りフラグ180cおよび読みだし完了フラグ180eがともに“1”的場合、当該エントリの読みだしデータフィールド180fを書き込みデータ、主記憶アクセスユニット160から受けた書き込みレジスタ番号を書き込みレジスタ番号として、リオーダバッファ190に書き込みを発行する。

【0036】これにより、以前に投機実行し、分岐予測を誤った読みだし命令と同一アドレスに対する後続の読みだし命令は、以前の読みだし結果を使うことができる。

【0037】（1b）分岐予測誤りフラグ180cが“0”，読みだし完了フラグ180eが“1”的場合、当該エントリの読みだしデータフィールド180fを書き込みデータ、レジスタフィールド180gを書き込みレジスタ番号として、リオーダバッファ190に書き込みを発行する。

【0038】これにより、以前に発行した読みだし命令と同一アドレスに対する後続の読みだし命令は、以前の読みだし結果を使うことができる。

【0039】（1c）分岐予測誤りフラグ180cが“1”，読みだし完了フラグ180eが“0”的場合、当該エントリの分岐予測フィールド180bを分岐予測データ、レジスタフィールド180gを書き込みレジスタ番号、分岐予測誤りフラグ180cを“0”に設定する。

【0040】これにより、以前に投機実行し、分岐予測を誤った読みだし命令と同一アドレスに対する後続の読みだし命令は、以前の読みだし結果が主記憶から戻るのを待って使うことができる。

【0041】（2）（1）の条件に該当する読みだしバッファエントリが存在せず、エントリ有効ビット180aが“0”であるエントリが存在する場合、このエントリの読みだしアドレスフィールド180d、分岐予測フィールド180b、レジスタフィールド180gを読みだし発行の読みだしアドレス、分岐予測データ、レジスタ番号に設定し、エントリ有効ビット180aおよび読

20
みだしバッファエントリを使用することができる。

【0042】この後、読みだしあドレスフィールド180dを読みだしあドレスとし、当該エントリのエントリ番号を読みだしがバッファ番号として、記憶制御回路100に主記憶アクセスを発行する。

【0043】（3）（1）、（2）の条件に該当せず、エントリ有効フラグ180aおよび読みだし完了フラグ180eが“1”、かつ、読みだし許可フラグ180hが“0”かつ、読みだしあドレスと読みだしがバッファエントリの読みだしあドレスフィールド180dが一致するエントリが存在する場合、（2）と同一の動作を行う。

【0044】（4）（1）、（2）、（3）の条件に該当せず、エントリ有効フラグ180a、読みだし許可フラグ180hが全て“1”的エントリが存在する場合、（2）と同一の動作を行う。

【0045】これにより、読みだしがバッファエントリが全て有効の場合に、データ到着処理を終えた読みだしがバッファエントリを使用することができる。

【0046】（5）（1）から（4）のいずれの条件にも該当しない場合、読みだし命令を登録可能な読みだしがバッファエントリが存在しないため、（1）から（4）のいずれかが実行できるまで新たな読みだし発行処理を受け付けず待つ。

【0047】（主記憶アクセス発行処理）読みだしがバッファ180は、記憶制御回路100に読みだしあドレスおよび読みだしがバッファ番号を与え、主記憶読みだしを発行する。

【0048】（データ到着処理）読みだしがバッファ180は、記憶制御回路100から主記憶読みだし結果のデータと読みだしがバッファ番号を受信し、以下の処理を行う。

【0049】（1）読みだしがバッファ番号で指定される読みだしがバッファエントリの、読みだしあデータフィールド180fに主記憶読みだし結果を書き込み、読みだし完了フラグ180eを“1”とする。

【0050】（2）当該エントリの、読みだしあデータフィールド180fの値を書き込みデータ、レジスタフィールド180gの値を書き込みレジスタ番号、分岐予測フィールドを分岐予測データとして、レジスタ書き込みをリオーダバッファ190に対して発行する。

【0051】（3）当該エントリの読みだしが許可フラグ180hが“0”的場合、エントリ有効フラグを“0”とする。

【0052】（書き込み発行処理）読みだしがバッファ180は、主記憶アクセスユニット160から書き込みアドレスを受けて、以下に示す書き込み発行処理を行う。

【0053】（1）エントリ有効フラグ180aが

50
“1”かつ書き込みアドレスと読みだしあアドレスフィー

ルド180dが一致するエントリを検索する。

【0054】(2) (1)に示したエントリが存在する場合、当該エントリの読みだし許可フラグ180hを“0”とする。この時、読みだし完了フラグ180eが“1”ならば、エントリ有効フラグ180aを“0”とする。

【0055】(分岐結果処理) 読みだしバッファ180は、分岐ユニット150から分岐結果データを受けて、以下に示す分岐結果処理を行う。

【0056】(1) エントリ有効フラグ180aが“1”かつ、分岐予測フィールド180bが“10”または“11”かつ、分岐予測フィールド180bが分岐結果データと一致する全てのエントリで、分岐予測フィールド180bを“00”とする。

【0057】(2) エントリ有効フラグ180aが“1”かつ、分岐予測フィールド180bが“10”または“11”かつ、分岐予測フィールド180bが分岐結果データと一致しない全てのエントリで、分岐予測フィールド180bを分岐結果データとし、分岐予測誤りフラグ180cを“1”とする。

【0058】これにより、分岐予測を誤って実行した読みだしバッファエントリについて、読みだしバッファエントリを有効としたまま分岐予測の誤りを設定することができる。

【0059】本実施例では、読みだしバッファ180の各エントリに分岐予測フィールド180bおよび分岐予測誤りフラグ180cを設けることに特徴がある。

【0060】本実施例で示した中央処理装置で、図2のプログラムを実行した場合の動作を以下に示す。

【0061】図2のプログラムで、I1は条件分岐命令であり、分岐予測回路110で分岐しないと予測するが、実際には分岐を行う。

【0062】I2, I5, I8, I13は読みだし命令であり、例えば“LD A, R1”は主記憶のアドレスAの値をレジスタR1に読み込むことを示す。

【0063】I9は書き込み命令であり、“ST R3, A”はレジスタR3の値を主記憶のアドレスAに書き込むことを示す。

【0064】I3, I4, I6, I7, I10, I11, I12はそれぞれR1, R2, R3, R4とは無関係の演算命令である。

【0065】I14はレジスタR2を使用する演算命令である。

【0066】本実施例では、読みだし命令は主記憶を読みだす時間を含めると10サイクル、他の命令は読みだし中のデータを使用しない場合1サイクルの実行時間がかかるとし、分岐予測の5サイクル後に分岐実行結果がわかるものとする。

【0067】図2のプログラムの実行タイミングを図3に示す。

【0068】(1) 1サイクル目に分岐命令を読みだすと、分岐予測回路110は分岐しないと予測し、分岐予測データを“10”とする。この後、分岐実行結果が得られるまでの5サイクルの間、I2, I3, I4, I8, I9の投機実行を行う。この時、主記憶アクセスユニット160は読みだしバッファ180に対して、2サイクル目にI2, 5サイクル目にI8の読みだし発行処理が発行され、読みだし発行処理(2)に従って読みだしバッファ180に格納される。また、6サイクル目に

I9の書き込み発行処理が発行され、書き込み発行処理(2)が実行され、アドレスAのデータを保持する読みだしバッファエントリの読みだし許可フラグ180hを“0”とする。この時の読みだしバッファ180の状態を図5に示す。

【0069】(2) 6サイクル目の最後に分岐ユニット150で分岐実行結果が得られると、読みだしバッファ180に分岐結果処理が発行される。この時、分岐実行結果は分岐を行うため、分岐結果データは“11”となる。読みだしバッファ180は、分岐結果処理(2)に従いI2, I9に対応する読みだしバッファエントリの分岐予測誤りフラグ180cを“1”とする。

【0070】(3) 7サイクル目には投機実行中ではないため分岐予測データは“00”となり、正しい命令列I5, I6, I7が実行され、I5が読みだしバッファ180に読みだし発行処理(2)により登録される。

【0071】(4) 10サイクル目には、I8が実行され、主記憶アクセスユニット160は読みだしバッファ180に対し、読みだし発行処理を発行する。読みだしバッファ180は、読みだし発行処理(1c)に従い5サイクル目のI8で発行され、分岐予測を誤った読みだし命令の結果を使用できるようにする。

【0072】(5) 2サイクル目に発行したI2の結果は、12サイクル目にデータ到着処理により読みだしバッファ180に戻される。この時、読みだしバッファ180は、I2に対応する読みだしバッファエントリの読みだし許可フラグ180hが“0”であるため、今後この読みだしバッファエントリの読みだしデータは再利用されないことを知り、データ到着処理(3)に従いエントリ有効フラグ180aを“0”とする。

【0073】(6) 5サイクル目に発行したI8の結果は、15サイクル目にデータ到着処理により読みだしバッファ180に戻される。この時、データ到着処理により、読みだし結果が読みだしバッファ180からリオーダバッファ190を通してレジスタファイル130に格納される。この時の読みだしバッファ180の状態を図6に示す。

【0074】(7) 16サイクル目のI14実行時には、レジスタR2に既にアドレスCの読みだし結果が格納されており、I14が実行できる。

【0075】以上により、図2に示す命令列は16サイ

クルで実行される。

【0076】これに対し、本発明を利用せず、分岐予測を誤った場合に投機実行した全ての命令を破棄することを考える。この時、投機実行したI5は6サイクル目の最後に破棄され、I14は10サイクル目に実行するI8の結果を待たなければならない。このため、図4に示すようにI14の実行は21サイクル目まで待たされる。よって、本発明を利用しない場合、図2に示す命令列の実行には21サイクルかかる。

【0077】以上の実施例によれば、読みだしバッファ180の各エントリに分岐予測フィールド180bおよび分岐予測誤りフラグ180cを設け、分岐予測を誤った場合でも投機実行した読みだし命令の読みだし結果を利用可能とすることで、読みだし結果の待ち時間を短縮することができ、中央処理装置の性能を向上することができる。

【0078】〈実施例2〉本発明の実施例2を説明する。本実施例は実施例1の変形であるため、相違点についてのみ説明する。本実施例は、主記憶アクセスユニット160、書き込みバッファ170、読みだしバッファ180の構造を変更し、書き込みバッファ内に存在するデータの読みだし時には主記憶を読みださず、書き込みバッファのデータを読みだしデータとして使用可能とする点が異なる。

【0079】図7は本実施例の中央処理装置を示す。

【0080】本実施例の中央処理装置では、主記憶アクセスユニット260は命令発行回路220から受けた読みだし命令および書き込み命令を、書き込みバッファ270に対して発行する。

【0081】書き込みバッファ270は、エントリ毎に書き込み要求の有効を示すエントリ有効フラグ270a、書き込み命令の分岐予測データを格納する分岐予測フィールド270b、書き込みアドレスフィールド270c、書き込みデータフィールド270dのフィールドを持つ。

【0082】書き込みバッファ270に関する処理は、以下に示す種類が存在する。

【0083】(書き込み発行処理) 書き込みバッファ270は、主記憶アクセスユニット260から、書き込みアドレス、分岐予測データおよび書き込みデータを受信し、書き込み命令の発行を行う。

【0084】(1) エントリ有効フラグ270aが“0”的書き込みバッファエントリが存在する場合、書き込みアドレスおよび書き込みデータを書き込みバッファエントリの書き込みアドレスフィールド270cおよび書き込みデータフィールド270dに書き込み、エントリ有効フラグ270aを“1”とする。

【0085】(2) エントリ有効フラグ270aが“0”的書き込みバッファエントリが存在しない場合、(1)が実行できるまで新たな書き込み発行処理を受け

付けず待つ。

【0086】(3) (1)または(2)の後、読みだしバッファ280に書き込みアドレスを与え、書き込み発行処理を行う。

【0087】(主記憶アクセス発行処理) 書き込みバッファ270は、エントリ有効フラグ270aが“1”かつ分岐予測フィールド270bが“00”的書き込みバッファエントリについて、書き込みアドレスおよび書き込みデータを与え、主記憶書き込みを発行する。主記憶書き込みは、書き込みバッファ270への登録順に従つて行う。この後、エントリ有効フラグ270aを“0”とする。

【0088】(分岐結果処理) 書き込みバッファ270は、分岐ユニット250から分岐結果データを受けて、分岐結果を受信し、以下に示す分岐結果処理を行う。

【0089】(1) エントリ有効フラグ270aが“1”かつ、分岐予測フィールド270bが“00”ではなく、分岐予測フィールド270bと分岐結果データが一致する全ての書き込みバッファエントリで、分岐予測フィールド270bを“00”とする。

【0090】(2) エントリ有効フラグが“1”かつ、分岐予測フィールド270bが“00”ではなく、分岐予測フィールド270bと分岐結果データが一致しない全ての書き込みバッファエントリで、エントリ有効フラグ270aを“0”とする。

【0091】(読みだし発行処理) 書き込みバッファ270は、主記憶アクセスユニット260から読みだしアドレス、分岐予測データおよび書き込みレジスタ番号を受信し、以下に示す読みだし発行処理を行う。

【0092】(1) エントリ有効フラグ270aが“1”かつ、書き込みアドレスフィールド270cが読みだしアドレスと一致するエントリが存在する場合、最も後に登録された書き込みバッファエントリを検索する。この後、読みだしアドレス、分岐予測データ、書き込みレジスタ番号、当該書き込みバッファエントリの分岐予測フィールド270b、当該書き込みバッファエントリの書き込みデータ270dを読みだしバッファ280に与え、読みだしバッファ280の読みだし発行処理を行う。

【0093】(2) (1)以外の場合、読みだしアドレス、分岐予測データ、書き込みレジスタ番号を読みだしバッファ280に与え、読みだしバッファ280の読みだし発行処理を行う。

【0094】読みだしバッファ280は、実施例1の読みだしバッファ180に加えて書き込みデータ分岐予測フィールド280iを持つ。書き込みデータ分岐予測フィールド280iは、書き込みバッファ270のデータを読みだし結果として使用した後、書き込み命令が分岐予測誤りのために破棄された場合に、この書き込み結果を使用する読みだしバッファエントリを破棄するために

設けてある。

【0095】本実施例では、実施例1の読みだし発行処理、分岐結果処理を以下に示すように変更する。

【0096】(読みだし発行処理) 読みだしバッファ280は、書き込みバッファ270から読みだしあドレス、分岐予測データおよび書き込みレジスタ番号を受信し、以下に示す読みだし発行処理を行う。

【0097】(1) エントリ有効フラグ280aおよび読みだし許可フラグ280hが“1”、かつ、読みだしあドレスと読みだしひバッファエントリの読みだしあドレスフィールド280dが一致、かつ、分岐予測誤りフラグ280cと読みだし完了フラグ280eの少なくとも片方が“1”的場合、(1a)～(1c)のいずれかの処理を行う。

【0098】(1a) 分岐予測誤りフラグ280cおよび読みだし完了フラグ280eが“1”的場合、当該エントリの読みだしひデータフィールド280fを書き込みデータ、主記憶アクセスユニット160から受けた書き込みレジスタ番号を書き込みレジスタ番号として、リオーダバッファ290に書き込みを発行する。

【0099】これにより、以前に投機実行し、分岐予測が誤った読みだし命令と同一アドレスに対する後続の読みだし命令は、以前の読みだし結果を使うことができる。

【0100】(1b) 分岐予測誤りフラグ280cが“0”，読みだし完了フラグ280eが“1”的場合、当該エントリの読みだしひデータフィールド280fを書き込みデータ、レジスタフィールド280gを書き込みレジスタ番号として、リオーダバッファ290に書き込みを発行する。

【0101】これにより、以前に発行した読みだし命令と同一アドレスに対する後続の読みだし命令は、以前の読みだし結果を使うことができる。

【0102】(1c) 分岐予測誤りフラグ280cが“1”，読みだし完了フラグ280eが“0”かつ読みだし発行処理に書き込みデータフィールド270dおよび書き込みデータの分岐予測フィールド270bが伴っていない場合、当該エントリの分岐予測フィールド280bを分岐予測データ、レジスタフィールド280gをレジスタ番号に設定する。

【0103】これにより、以前に投機実行し、分岐予測が誤った読みだし命令と同一アドレスに対する後続の読みだし命令は、以前の読みだし結果が主記憶から戻るのを待って使うことができる。

【0104】(2)(1)の条件に該当せず、エントリ有効ビット280aが“0”であるエントリが存在する場合、このエントリの読みだしひ発行の読みだしあドレス、分岐予測データ、レジスタ番号を、読みだしあドレスフィールド280d、分岐予測フィールド280b、レジスタフィールド280gに設定し、エントリ有効ビ

ット280aおよび読みだし許可フラグ280hを“1”，分岐予測誤りフラグ280cおよび読みだし完了フラグ280eを“0”に設定する。

【0105】この後、読みだし発行処理に書き込みデータフィールド270dおよび書き込みデータの分岐予測フィールド270bが伴っている場合、これらを当該読みだしひバッファエントリの読みだしひデータフィールド280f、書き込みデータ分岐予測フィールド280iに書き込み、主記憶読みだし完了フラグ280cを“1”として、(1a)の処理を行う。

【0106】読みだし発行処理に書き込みデータフィールド270dおよび書き込みデータの分岐予測フィールド270bが伴っていない場合、書き込みデータ分岐予測フィールド280iを“00”，読みだしあドレスフィールド280dを読みだしひアドレスとし、当該エントリのエントリ番号を読みだしひバッファ番号として、記憶制御回路200に主記憶アクセスを発行する。

【0107】(3)(1), (2)の条件に該当せず、エントリ有効フラグ280aおよび読みだし完了フラグ280eが“1”、かつ、読みだし許可フラグ280hが“0”かつ、読みだしひアドレスと読みだしひバッファエントリの読みだしひアドレスフィールド280dが一致するエントリが存在する場合、(2)と同一の動作を行う。

【0108】(4)(1), (2), (3)の条件に該当せず、エントリ有効ビット280a、読みだし許可フラグ280hが全て“1”的エントリが存在する場合、(2)と同一の動作を行う。

【0109】これにより、読みだしひバッファエントリが全て有効の場合に、分岐予測が誤った読みだしひバッファエントリを消去して使用することができる。

【0110】(5)(1)から(4)のいずれの条件にも該当しない場合、(1)から(4)のいずれかが実行できるまで新たな読みだしひ発行処理を受け付けず待つ。

【0111】(分岐結果処理) 読みだしひバッファ280は、分岐ユニット250から分岐結果データを受けて、以下に示す分岐結果処理を行う。

【0112】(1) エントリ有効フラグ280aが“1”かつ、分岐予測フィールド280bが“10”または“11”かつ、分岐予測フィールド280bが分岐結果データと一致する全てのエントリで、(1a)書き込みデータ命令予測フィールド280iが“00”または、分岐結果データと一致する場合、分岐予測フィールド280bおよび書き込みデータ命令予測フィールド280iを“00”とする。(1b) (1a)以外の場合、読みだしひ許可フラグ280hを“0”とする。

【0113】(2) エントリ有効フラグ280aが“1”かつ、分岐予測フィールド280bが“10”または“11”かつ、分岐予測フィールド280bが分岐結果データと一致しない全てのエントリで、(2a)書き込みデータ命令予測フィールド280iが“00”ま

たは、分岐結果データと一致する場合、分岐予測フィールド280bを分岐結果データとし、分岐予測誤りフラグ280cを“1”とする。

【0114】(2b) (2a)以外の場合、読みだし許可フラグ280hを“0”とする。

【0115】これにより、読みだし命令発行時に、書き込みバッファ270のデータを読みだし結果とし、書き込みデータが分岐予測誤りのため実行されない場合に、当該読みだしバッファエントリを読みだし不可とすることができます。

【0116】本実施例では、実施例1に加えて読みだしバッファエントリに書き込みデータ分岐予測フィールド280iを設けることに特徴がある。

【0117】本実施例で示した中央処理装置で、図8のプログラムを実行した場合の動作を以下に示す。

【0118】(1) 1サイクル目にI1が実行されると、R1の値が書き込みバッファ270に登録される。I1の書き込み命令が記憶制御回路200に対して未発行の場合、2サイクル目の読みだし命令I2は書き込みバッファ270の読みだし発行処理(1)に従い、書き込みデータを読みだし値として使用する。

【0119】これにより、以前に同一アドレスに書き込みを発行した場合、読みだし命令は以前の書き込みデータを利用ることができ、主記憶から読みだした場合と比較して読みだしにかかる時間が短くなり、性能を向上することができる。

【0120】(2) 3サイクル目の条件分岐命令は、分岐予測回路210では分岐しないと予測されるが、実際には分岐を行う命令である。この時、分岐実行結果が得られるまでの5サイクルの間、分岐予測データ“10”としてI4, I5および後続命令の投機実行を行う。

【0121】(3) I4の実行時、書き込みバッファ270は書き込み発行処理(1)に従い、書き込みアドレスフィールド270cをアドレスA、書き込みデータフィールド270dをR1の値、分岐予測フィールドを“10”として書き込みバッファ270に格納される。

【0122】(4) I5の実行時、書き込みバッファ270は書き込みバッファ270の読みだし発行処理(1)に従い、読みだしアドレス、分岐予測データ、書き込みレジスタ番号、当該書き込みバッファエントリの分岐予測フィールド270bを読みだしバッファ280に与え、読みだしバッファ280の読みだし発行処理を行う。

【0123】読みだしバッファ280は読みだしバッファ280の読みだし発行処理(2)に従い、このエントリの読みだしアドレスフィールド280d、分岐予測フィールド280b、書き込みレジスタフィールド280gを読みだし発行の読みだしアドレス、分岐予測データ、レジスタ番号に設定し、エントリ有効ビット280aおよび読みだし許可フラグ280hを“1”，分岐予測誤

りフラグ280cおよび読みだし完了フラグ280eを“0”，読みだしデータフィールド280f、書き込みデータ分岐予測フィールド280iに書き込み、主記憶読みだし完了フラグ280cを“1”する。この後、読みだしデータフィールド280fを書き込みデータ、レジスタフィールド280gを書き込みレジスタ番号として、リオーダバッファ290に書き込みを発行する。この時の読みだしバッファ280および書き込みバッファ270の状態を図9に示す。

10 【0124】(5) 分岐ユニット250で分岐実行結果が得られると、書き込みバッファ270および読みだしバッファ280に分岐結果処理が発行される。この時の分岐実行結果は、分岐を行うため“11”となる。

【0125】この時、書き込みバッファ270は、書き込みバッファ270の分岐結果処理(1)に従い、アドレスAへのR2の値の書き込みの書き込みバッファエントリのエントリ有効フラグ270aを“0”とする。

【0126】読みだしバッファ280は、読みだしバッファ280の分岐結果処理(2b)に従い、アドレスAからの読みだしのエントリの読みだし許可フラグ280hを“0”とする。

【0127】(6) (5)以降分岐予測データは“00”となり、I5以降の命令が正しい命令列として実行され、I5の実行時には読みだしバッファ280の読みだし発行処理(2)に従い記憶制御回路200に主記憶の読みだしが発行される。よって、I5に対応する読みだしバッファエントリの読みだしデータフィールド280fを、誤って使用することはない。

【0128】読みだしバッファ280は、書き込み命令30 の分岐予測データを保持するために書き込みデータ分岐予測フィールド280iを設けることで、主記憶アクセスユニット260は、読みだし命令を書き込みバッファ270に発行し、書き込みバッファ270は同一アドレスへの書き込みがあれば書き込み値を読みだしデータとして読みだしバッファに与えることができる。これにより、書き込み命令の後に同一アドレスに読みだしを発行する場合、読みだし結果の待ち時間を短縮することができ、中央処理装置の性能を向上することができる。

【0129】(実施例3) 本発明の実施例3を説明する。本実施例は実施例1の変形であるため、相違点についてのみ説明する。本実施例は、読みだし命令および書き込み命令を共通のバッファに格納する点が異なる。

【0130】図10は本実施例の中央処理装置を示す。

【0131】本実施例の中央処理装置では、主記憶アクセスユニット360は命令発行回路320から受けた読みだし命令および書き込み命令を、アクセスバッファ385に対して発行する。

【0132】アクセスバッファ385はエントリ毎に読みだしありまたは書き込み要求の有効を示すエントリ有効フラグ385a、アクセスバッファエントリが書き込み命

令を保持していることを示す書き込みフラグ385j, 読みだし命令または書き込み命令の分岐予測データを格納する分岐予測フィールド385b, 読みだし命令に対応する分岐予測の誤りを示す分岐予測誤りフラグ385c, アドレスフィールド385d, 主記憶の読みだしが完了したことを示す読みだし完了フラグ385e, 主記憶読みだし結果または書き込み値を一旦保持するデータフィールド385f, 主記憶読みだし結果を書き込むレジスタ番号を示すレジスタフィールド385g, 後続の読みだし命令が当該エントリのデータを使うことを許可する読みだし許可フラグ385hのフィールドを持つ。

【0133】本実施例では、アクセスバッファエントリを読みだし命令の場合には書き込みフラグ385jを“0”として使用し、書き込み命令の場合には書き込みフラグ385jを“1”として使用する。これにより、アクセスバッファエントリが読みだしありは書き込みのいずれのエントリとして使用されているかを区別でき、共通のアクセスバッファ385で読みだしバッファおよび書き込みバッファの両方の役割を持つことができる。

【0134】読みだしバッファおよび書き込みバッファ双方の機能を共通のアクセスバッファ385に持たせることで、読みだしバッファと書き込みバッファを別に設ける必要がなくなり、ハードウェア量を減らすことができる。

【0135】〈実施例4〉以下に本発明の実施例4を説明する。本実施例は実施例2の変形であるため、相違点についてのみ説明する。本実施例は、読みだしバッファに読みだしデータフィールドを設ける代わりに、リオーダバッファに格納したデータを読みだしデータとして利用可能とする点が異なる。

【0136】図11は、本実施例の中央処理装置を示す。

【0137】リオーダバッファ490は、エントリ毎にリオーダバッファエントリの有効を示すエントリ有効フラグ490a, レジスタ書き込み処理の分岐予測データを格納する分岐予測フィールド490b, レジスタ書き込み処理に対する分岐予測の誤りを示す分岐予測誤りフラグ490c, レジスタへの書き込み値を保持するデータフィールド490f, データフィールド490fの値を書き込むレジスタ番号を保持する書き込みレジスタフィールド490g, 読みだし命令フラグ490kのフィールドを持つ。

【0138】リオーダバッファ490は、演算ユニット440から受けた演算結果または主記憶アクセスユニット460から受けた読みだし結果を一旦格納し、レジスタファイル430に書き込む。投機実行した命令については、分岐ユニット450から分岐実行結果を得て、分岐予測が正しかった場合は投機実行した命令の結果をレジスタファイル430に書き込むが、分岐予測が誤っていた場合は投機実行した命令の結果をレジスタファイル

430に書き込まない。本実施例では、リオーダバッファ490は、従来のリオーダバッファの機能に加え、投機実行し、分岐予測を誤った読みだし命令の読みだし結果を保持する機能を持つ。

【0139】リオーダバッファ490に関する処理は、リオーダバッファ書き込み処理、レジスタ書き込み処理、分岐結果処理、リオーダバッファ解放処理、リオーダバッファ変更処理が存在する。以下に、リオーダバッファ書き込み処理、分岐結果処理、レジスタ書き込み処理、リオーダバッファ変更処理を説明する。

【0140】(リオーダバッファ書き込み処理)リオーダバッファ490は、演算ユニット440, 分岐ユニット450, 主記憶アクセスユニット460のいずれかから分岐予測データ、書き込みレジスタ番号、書き込みデータを伴ったリオーダバッファ書き込み処理の要求を受け、以下に示すリオーダバッファ書き込み処理を行う。

【0141】(1) エントリ有効フラグ490aが“0”的エントリが存在する場合、当該エントリのエントリ有効フラグ490aを“1”, 分岐予測フィールド490bを分岐予測データ、分岐予測誤りフラグ490cを“0”, 書き込みレジスタフィールド490gを書き込みレジスタ番号、データフィールド490fを書き込みデータ値とし、エントリを確保する。

【0142】発行する命令が読みだし命令の場合にのみ読みだし命令フラグ490kを“1”とし、エントリ番号を読みだしバッファ480に返す。

【0143】(2) エントリ有効フラグ490aが“0”的エントリが存在せず、分岐予測誤りフラグが“1”的エントリが存在する場合、当該エントリのエントリ有効フラグ490aを“1”, 分岐予測フィールド490bを分岐予測データ、分岐予測誤りフラグ490cを“0”, データ有効フラグ490eを“0”, 書き込みレジスタフィールド490gを書き込みレジスタ番号、書き込みデータをデータフィールド490fとし、エントリを確保する。

【0144】発行する命令が読みだし命令の場合にのみ読みだし命令フラグ490kを“1”とし、エントリ番号を読みだしバッファ480に返す。

【0145】この後、読みだしバッファ480に対して当該エントリのリオーダバッファ番号と共にリオーダバッファ解放処理を発行する。

【0146】(3) (1) および (2) 以外の場合、使用可能なリオーダバッファエントリが存在しないため、(1) または (2) のいずれかの条件を満たすまでエントリ確保処理を受け付けず待つ。

【0147】(レジスタ書き込み処理)リオーダバッファ490は、エントリ有効フラグ490aが“1”, 分岐予測フィールド490bが“0”的エントリが存在する場合、以下の処理を行う。

【0148】(1) 当該エントリの書き込みレジスタフ

イールド490gを書き込みレジスタ番号、データフィールド490fをレジスタ書き込み値としてレジスタ書き込みを行う。この後、当該エントリのエントリ有効フラグ490aを“0”とする。読みだし命令フラグ490kが“1”的場合には、読みだしバッファ480に対して当該エントリのリオーダバッファ番号と共にリオーダバッファ解放処理を発行する。

【0149】(分岐結果処理)リオーダバッファ490は、分岐ユニット450から分岐結果データを受けて、以下に示す処理を行う。

【0150】(1)エントリ有効フラグ490aが“1”かつ、分岐予測フィールド490bが“10”または“11”かつ、分岐予測フィールド490bが分岐結果データと一致する全てのエントリで、分岐予測フィールド490bを“00”とし、分岐予測誤りフラグ490cを“0”とする。

【0151】(2)エントリ有効フラグ490aが“1”かつ、分岐予測フィールド490bが“10”または“11”かつ、分岐予測フィールド490bが分岐結果データと一致しない全てのエントリで、分岐予測フィールド490bを分岐結果データとし、分岐予測誤りフラグ480cを“1”とする。

【0152】この後、当該エントリが読みだし命令フラグ490kが“0”的場合、エントリ有効フラグ490aを“0”とし、リオーダバッファエントリを解放する。

【0153】これにより、分岐予測を誤って実行した読みだし命令に対応するリオーダバッファエントリについて、エントリを有効としたまま分岐予測の誤りを設定することができる。

【0154】(リオーダバッファ変更処理)リオーダバッファ490は、主記憶アクセスユニット460からリオーダバッファ番号、分岐予測データ、書き込みレジスタ番号、書き込みデータを受け、以下に示すリオーダバッファ変更処理を行う。

【0155】(1)リオーダバッファ番号に対応するリオーダバッファエントリの、分岐予測データ、書き込みデータ、書き込みレジスタ番号をそれぞれ順に分岐予測データフィールド490b、データフィールド490f、レジスタ番号フィールド490gに格納する。

【0156】(2)分岐予測誤りビット490cを“0”とし、読みだし命令フラグ490kを“1”とする。

【0157】読みだしバッファ480は、エントリ毎に読みだし要求の有効を示すエントリ有効フラグ480a、読みだし命令の分岐予測データを格納する分岐予測フィールド480b、読みだし命令に対応する分岐予測の誤りを示す分岐予測誤りフラグ480c、読みだしアドレスフィールド480d、主記憶の読みだしが完了したことの示す読みだし完了フラグ480e、主記憶読み

だし結果を格納するリオーダバッファ番号フィールド480f、主記憶読みだし結果を格納するリオーダバッファエントリが存在することを示すリオーダバッファ存在フラグ480j、主記憶読みだし結果を書き込むレジスタ番号を示すレジスタフィールド480g、後続の読みだし命令が当該エントリのデータを使うことを許可する読みだし許可フラグ480h、書き込みバッファ470の書き込みデータを読みだしデータとして使用する場合の分岐予測データを格納する書き込みデータ分岐予測フィールド480iのフィールドを持つ。

【0158】本実施例では、実施例2の読みだし発行処理、分岐結果処理、データ到着処理を以下に示すように変更し、リオーダバッファ解放処理を追加する。

【0159】(読みだし発行処理)読みだしバッファ480は、書き込みバッファ470から読みだしアドレス、リオーダバッファ番号、分岐予測データおよび書き込みレジスタ番号を受信し、以下に示す読みだし発行処理を行う。

【0160】(1)エントリ有効フラグ480aおよび読みだし許可フラグ480hが“1”、かつ、読みだしアドレスと読みだしバッファエントリの読みだしアドレスフィールド480dが一致した場合、以下の処理を行う。

【0161】(1a)分岐予測誤りフラグ480cが“1”かつ、リオーダバッファ存在フラグ480jが“1”的場合、当該エントリの分岐予測フィールド480bを分岐予測データ、レジスタフィールド480gを書き込みレジスタ番号、分岐予測誤りフラグ480cを“0”に設定する。

【0162】読みだし発行処理に書き込みデータフィールド470dおよび書き込みデータの分岐予測フィールド470bが伴っている場合、当該読みだしバッファエントリの書き込みデータ分岐予測フィールド480iに書き込みデータの分岐予測フィールド470bの値を書き込み、主記憶読みだし完了フラグ480eを“1”とする。この後、主記憶アクセスユニット460を経由してリオーダバッファ490にリオーダバッファ番号480f、分岐予測データ、書き込みレジスタ番号、書き込みデータを与え、リオーダバッファ変更処理を発行する。

【0163】読みだし発行処理に書き込みデータフィールド470dおよび書き込みデータの分岐予測フィールド470bが伴っていない場合、書き込みデータ分岐予測フィールド480iを“00”，読みだしアドレスフィールド480dを読みだしアドレスとし、当該エントリのエントリ番号を読みだしバッファ番号として、記憶制御回路400に主記憶アクセスを発行する。

【0164】(1b)分岐予測誤りフラグ480cが“1”かつ、リオーダバッファ存在フラグ480jが“0”的場合、このエントリの読みだしアドレスフィー

ルド480d, 分岐予測フィールド480b, レジスタフィールド480gを読みだし発行の読みだしアドレス, 分岐予測データ, レジスタ番号に設定し、エントリ有効ビット480aおよび読みだし許可フラグ480hを“1”, 分岐予測誤りフラグ480cおよび読みだし完了フラグ480eを“0”に設定する。

【0165】読みだし発行処理に書き込みデータフィールド470dおよび書き込みデータの分岐予測フィールド470bが伴っている場合、当該読みだしバッファエントリの書き込みデータ分岐予測フィールド480iに書き込みデータの分岐予測フィールド470bの値を書き込み、リオーダバッファ存在フラグ480jおよび主記憶読みだし完了フラグ480eを“1”とする。この後、主記憶アクセスユニット460を経由してリオーダバッファ490に分岐予測データ、書き込みレジスタ番号、書き込みデータを与え、リオーダバッファ書き込み処理を発行し、リオーダバッファ490からリオーダバッファ番号を得て、リオーダバッファ番号フィールド480fに格納する。

【0166】読みだし発行処理に書き込みデータフィールド470dおよび書き込みデータの分岐予測フィールド470bが伴っていない場合、書き込みデータ分岐予測フィールド480iを“00”, 読みだしアドレスフィールド480dを読みだしアドレスとし、当該エントリのエントリ番号を読みだしバッファ番号として、記憶制御回路400に主記憶アクセスを発行する。

【0167】(2) (1) の条件に該当せず、エントリ有効フラグ480aが“0”であるエントリが存在する場合、このエントリの読みだしアドレスフィールド480d, 分岐予測フィールド480b, レジスタフィールド480gを読みだし発行の読みだしアドレス, 分岐予測データ, レジスタ番号に設定し、エントリ有効フラグ480aおよび読みだし許可フラグ480hを“1”, 分岐予測誤りフラグ480cおよび読みだし完了フラグ480eを“0”に設定する。

【0168】読みだし発行処理に書き込みデータフィールド470dおよび書き込みデータの分岐予測フィールド470bが伴っている場合、当該読みだしバッファエントリの書き込みデータ分岐予測フィールド480iに書き込みデータの分岐予測フィールド470bの値を書き込み、リオーダバッファ存在フラグ480j, 読みだし完了フラグ480eを“1”とする。この後、主記憶アクセスユニット460を経由してリオーダバッファ490に分岐予測データ、書き込みレジスタ番号、書き込みデータを与え、リオーダバッファ書き込み処理を発行し、リオーダバッファ490からリオーダバッファ番号を得て、リオーダバッファ番号フィールド480fに格納する。

【0169】読みだし発行処理に書き込みデータフィールド470dおよび書き込みデータの分岐予測フィール

ド470bが伴っていない場合、書き込みデータ分岐予測フィールド480iを“00”, 読みだしアドレスフィールド480dを読みだしアドレスとし、当該エントリのエントリ番号を読みだしバッファ番号とし、リオーダバッファ存在フラグ480jを“0”として、記憶制御回路400に主記憶アクセスを発行する。

【0170】(3) (1), (2) の条件に該当せず、エントリ有効フラグ480aおよび読みだし完了フラグ480eが“1”かつ、読みだし許可フラグ480hが“0”かつ、読みだしアドレスと読みだしバッファエントリの読みだしアドレスフィールド480dが一致するエントリが存在する場合、(2) と同一の動作を行う。
【0171】(4) (1), (2), (3) の条件に該当せず、エントリ有効フラグ480a, 読みだし許可フラグ480hが全て“1”的エントリが存在する場合、(2) と同一の動作を行う。

【0172】(5) (1) から (4) のいずれの条件にも該当しない場合、(1) から (4) のいずれかが実行できるまで新たな読みだし発行処理を受け付けず待つ。

【0173】以上により、読みだしバッファエントリが全て有効の場合に、分岐予測が誤った読みだしバッファエントリを消去して使用することができる。

【0174】(分岐結果処理) 読みだしバッファ480は、分岐ユニット450から分岐結果データを受けて、以下に示す分岐結果処理を行う。

【0175】(1) エントリ有効フラグ480aが“1”かつ、分岐予測フィールド480bが“10”または“11”かつ、分岐予測フィールド480bが分岐結果データと一致する全てのエントリで、(1a) 書き込みデータ命令予測フィールド480iが“00”または、分岐結果データと一致する場合、分岐予測フィールド480bおよび書き込みデータ命令予測フィールド480iを“00”とし、分岐予測誤りフラグ480cを“0”とする。

【0176】(1b) (1a) 以外の場合、読みだし許可フラグ480hを“0”とする。

【0177】(2) エントリ有効フラグ480aが“1”かつ、分岐予測フィールド480bが“10”または“11”かつ、分岐予測フィールド480bが分岐結果データと一致しない全てのエントリで、(2a) 書き込みデータ命令予測フィールド480iが“00”または、分岐結果データと一致する場合、分岐予測フィールド480bを分岐結果データとし、分岐予測誤りフラグ480cを“1”とする。

【0178】(2b) (2a) 以外の場合、読みだし許可フラグ480hを“0”とする。

【0179】これにより、読みだし命令発行時に、書き込みバッファ470のデータを読みだし結果とし、書き込みデータが分岐予測誤りのため実行されない場合に、当該読みだしバッファエントリを使用不可とすることが

できる。

【0180】(データ到着処理)読みだしバッファ480は、記憶制御回路400から主記憶読みだし結果のデータと読みだしバッファ番号を受信し、以下の処理を行う。

【0181】(1)読みだしバッファ番号で指定される読みだしバッファエントリの、読みだし完了フラグ480eを“1”とする。

【0182】(2)当該エントリのリオーダバッファ存在フラグ480fが“1”的場合、主記憶アクセスユニット460を経由してリオーダバッファ490に分岐予測データ、書き込みレジスタ番号、書き込みデータを与え、リオーダバッファ変更処理を発行する。

【0183】(3)(2)以外の場合、主記憶アクセスユニット460を経由してリオーダバッファ490に分岐予測データ、書き込みレジスタ番号、書き込みデータを与え、リオーダバッファ書き込み処理を発行し、リオーダバッファ490からリオーダバッファ番号を得て、リオーダバッファ番号フィールド480fに格納する。

【0184】(リオーダバッファ解放処理)読みだしバッファ490は、リオーダバッファ480からリオーダバッファ番号を受け、以下の処理を行う。

【0185】(1)リオーダバッファ番号フィールド480fがリオーダバッファ番号と一致する全ての読みだしバッファエントリのリオーダバッファ存在フラグ480jを“0”とする。

【0186】読みだしバッファ480に読みだしデータフィールドを設ける代わりに、リオーダバッファ番号フィールド480fおよびリオーダバッファ存在フラグ480jを設けたことにより、分岐予測を誤った読みだし命令の読みだし結果をリオーダバッファ490に格納し、後の同一アドレスへの読みだし命令で利用可能とすることにより、実施例2と比較してハードウェア量を削減できる。

【0187】

【発明の効果】本発明によれば、分岐予測を誤った場合でも投機実行した読みだし命令の読みだし結果が利用可能となり、分岐予測が誤った読みだし命令と同一アドレスに読みだしを発行した場合の読みだし結果の待ち時間を短縮することができ、中央処理装置の性能を向上する

ことができる。

【図面の簡単な説明】

【図1】本発明の実施例1の中央処理装置のブロック図。

【図2】本発明の実施例1の動作例のプログラムのフローシート。

【図3】本発明の実施例1の動作例のプログラムの動作を示す説明図。

【図4】本発明の実施例1の動作例のプログラムの動作を示す説明図。

【図5】本発明の実施例1の動作の読みだしバッファの内容を示す説明図。

【図6】本発明の実施例1の動作の読みだしバッファの内容を示す説明図。

【図7】本発明の実施例2の中央処理装置のブロック図。

【図8】本発明の実施例2の動作例のプログラムのフローチャート。

【図9】本発明の実施例2の動作の読みだしバッファおよび書き込みバッファの内容を示す説明図。

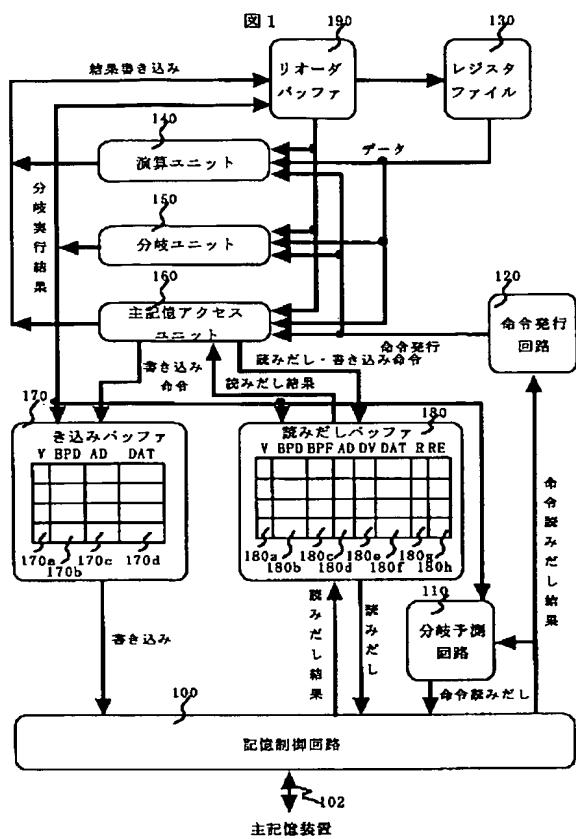
【図10】本発明の実施例3の中央処理装置のブロック図。

【図11】本発明の実施例4の中央処理装置のブロック図。

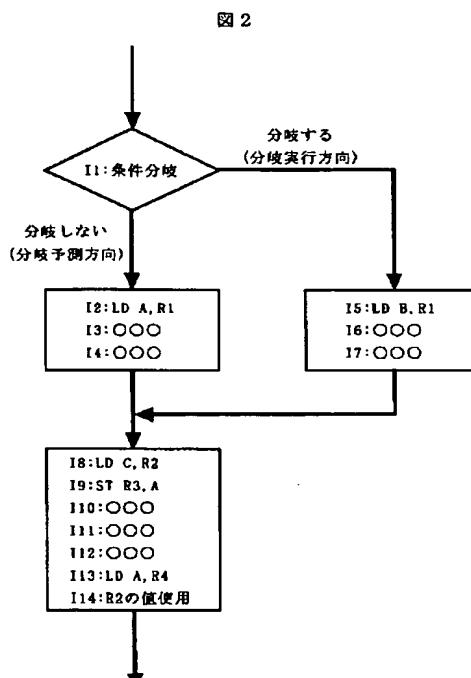
【符号の説明】

100…記憶制御回路、102…バス、110…分岐予測回路、120…命令発行回路、130…レジスタフィール、140…演算ユニット、150…分岐ユニット、160…主記憶アクセスユニット、170…書き込みバッファ、170a…エントリ有効フラグ、170b…分岐予測フィールド、170c…書き込みアドレスフィールド、170d…書き込みデータフィールド、180…読みだしバッファ、180a…エントリ有効フラグ、180b…分岐予測フィールド、180c…分岐予測誤りフラグ、180d…読みだしアドレスフィールド、180e…読みだし完了フラグ、180f…読みだしデータフィールド、180g…書き込みレジスタフィールド、180h…読みだし許可フラグ、190…リオーダバッファ。

【図1】



【図2】



【図3】

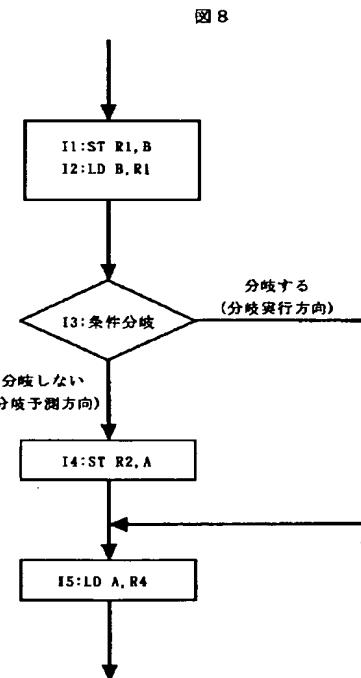
図3

1 I1:条件分岐	2 I2:LD A, R1 投機実行	3 I3:○○○ 投機実行	4 I4:○○○ 投機実行	5 I8:LD C, R2 投機実行	6 I9:ST R3, A 投機実行	7 I5:LD B, R1 同一アドレスの読みだし	8 I6:○○○ 結果を利用	9 I7:○○○	10 I8:LD C, R2	11 I9:ST R3, A	12 I10:○○○	13 I11:○○○	14 I12:○○○	15 I13:LD A, R4	16 I14:R2の値使用
-----------	--------------------	---------------	---------------	--------------------	--------------------	---------------------------	----------------	----------	----------------	----------------	------------	------------	------------	-----------------	---------------

【図4】

1 I1:条件分岐	2 I2:LD A, R1 投機実行	3 I3:○○○ 投機実行	4 I4:○○○ 投機実行	5 I8:LD C, R2 投機実行	6 I9:ST R3, A 投機実行	7 I5:LD B, R1 同一アドレスの読みだし	8 I6:○○○ 結果を利用	9 I7:○○○	10 I8:LD C, R2	11 I9:ST R3, A	12 I10:○○○	13 I11:○○○	14 I12:○○○	15 I13:LD A, R4 (空き)	16 (空き)	17 (空き)	18 (空き)	19 (空き)	20 (空き)	21 I14:R2の値使用
-----------	--------------------	---------------	---------------	--------------------	--------------------	---------------------------	----------------	----------	----------------	----------------	------------	------------	------------	----------------------	---------	---------	---------	---------	---------	---------------

【図8】



【図5】

図5

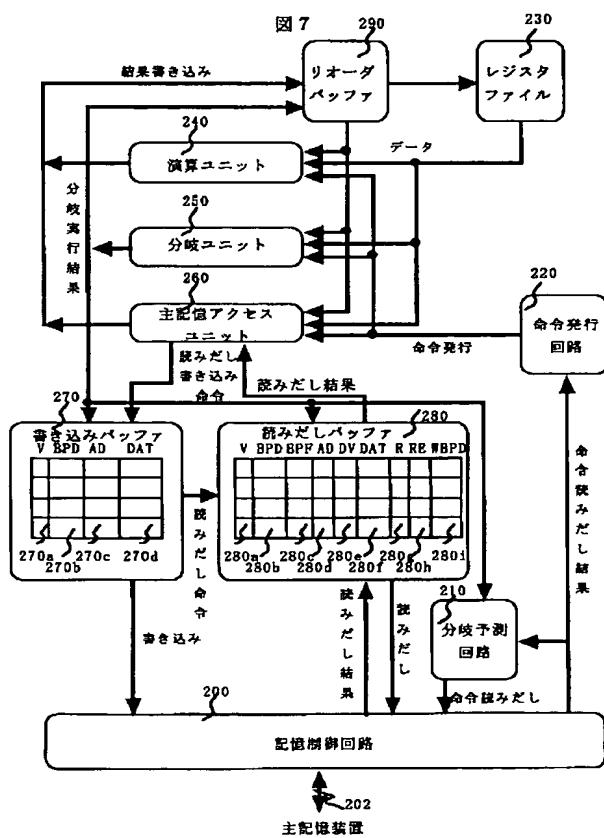
	180a	180b	180c	180d	180e	180f	180g	180h
エントリ 有効 フラグ	分岐 予測 誤り フラグ	読みだし アドレス フラグ	読みだし 完了 フラグ	読みだし データ フラグ	読みだし レジスト フラグ	書き込み レジスト フラグ	読みだし 許可 フラグ	
1	10	0	A	0	-	R1	0	
1	10	0	C	0	-	R2	1	
0	-	-	-	-	-	-	-	
0	-	-	-	-	-	-	-	

【図6】

図6

	180a	180b	180c	180d	180e	180f	180g	180h
エントリ 有効 フラグ	分岐 予測 誤り フラグ	読みだし アドレス フラグ	読みだし 完了 フラグ	読みだし データ フラグ	読みだし レジスト フラグ	書き込み レジスト フラグ	読みだし 許可 フラグ	
0	10	1	A	1	OOO	R1	0	
1	10	1	C	1	OOO	R2	1	
1	00	0	B	0	-	-	R1	1
0	-	-	-	-	-	-	-	-

【図7】

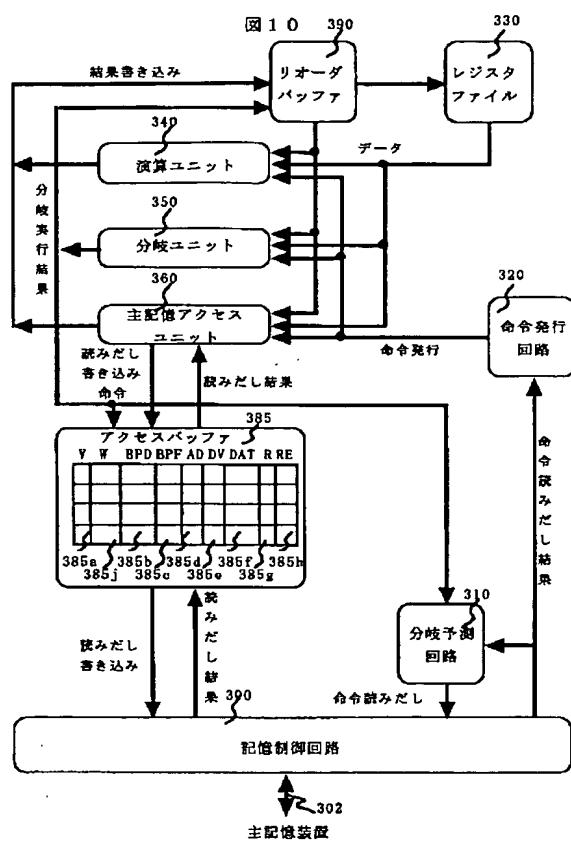


【図9】

(読みだしバッファの状態)								
	280a	280b	280c	280d	280e	280f	280g	280h
エントリ 有効 フラグ	分岐 予測 誤り フラグ	読みだし アドレス フラグ	読みだし 完了 フラグ	読みだし データ フラグ	読みだし レジスト フラグ	書き込み レジスト フラグ	読みだし 許可 フラグ	分岐予測 フラグ
1	00	0	B	1	OOO	R1	1	00
1	10	0	A	1	△△△	R4	1	10
0	-	-	-	-	-	-	-	-
0	-	-	-	-	-	-	-	-

(書き込みバッファの状態)				
	270a	270b	270c	270d
エントリ 有効 フラグ	分岐 予測 誤り フラグ	書き込み アドレス フラグ	書き込み データ フラグ	
1	00	B	OOO	
1	10	A	△△△	
0	-	-	-	
0	-	-	-	

【図10】



【図11】

